

## TESTOVANIE INTEGROVANÝCH OBVODY NA ÚSTAVE TECHNICKEJ KYBERNETIKY SAV

ELENA GRAMATOVÁ

### Abstrakt

The article describes history of testing digital integrated circuits at the Institute of Cybernetics of the Slovak Academy of Sciences. A new test laboratory was established at the Institute with verification tester LOGIC MASTER II and related equipment for testing dies on wafers. Several prototypes and production series of digital circuits were performed there. The circuits had been produced by 3 or 5  $\mu$ COS technologies at industrial partner TESLA Piešťany. The testing had been realizing until year 1990. After this year, the test laboratory was used for educational purposes in cooperation with the Faculty of Electrical Engineering of the Slovak Technical University in Bratislava.

### 1. Úvod

Problematika testovania sa začala riešiť na Ústave technickej kybernetiky SAV (ÚTK SAV) v rokoch 1972-1973, jednak testovaním číslicovo-analógových a analógovo-číslcových obvodov (ako súčasť Jednotky styku s prostredím prepojenej na riadiaci počítač RPP16). Testovacie programy boli v jazyku Assembler pre RPP16 (autorka RNDr. Elena Gramatová). Súčasne sa testovanie riešilo pre zákaznícky integrovaný obvod MOS s približne 300 tranzistormi (autor návrhu bol Ing. Ján Langoš z ÚTK SAV). Zadanie tohto obvodu bolo z Ústavu problémov riadenia Akadémie vied ZSSR v Moskve, ktorý dodal schému zapojenia tranzistorov obvodu ako aj jednoúčelové testovacie zariadenie.

V rokoch 1975 až 1977 sa v ÚTK SAV navrhol (prostredníctvom reverzného inžinierstva) integrovaný obvod UART MHB 1013 s 1100 MOS tranzistormi (autor logickej a elektrickej schémy bol Ing. Martin Šperka, návrh masiek realizoval Ing. Ján Langoš, Ing. Peter Kákoš a digitalizáciu spracoval kolektív Ing. Jána Jezného - všetci z ÚTK SAV). Tento integrovaný obvod bol určený pre počítače SMEP a bol vyrobený v Tesle Piešťany, ako prvý výrobca v krajinách RVHP. Bolo navrhnuté a skonštruované jednoúčelové testovacie zariadenie na testovanie jednak čipov tohto obvodu na kremíkovej doske ako aj zapúzdrené prototypy (testovacie zariadenie navrhol Ing. Stanislav Kubaljak).

Vzhľadom na to, že éra návrhu digitálnych integrovaných obvodov (IO) v ÚTK SAV pokračovala ďalej, vývoj testovania digitálnych IO sa vrátil v rokoch 1982-1983 zriadením samostatného oddelenia na ÚTK SAV s názvom "Oddelenie testovania mikroelektronických štruktúr". Hlavné zameranie tohto oddelenia bolo testovanie IO pre riadiaci systém MIDAS, (vyvinutý tiež na ÚTK SAV). Konkrétne to boli tieto obvody: jednobitová riadiaca jednotka (CLU), logicko-riadiaca jednotka (UCLU), univerzálna vstupno-výstupná jednotka (UIOU), časovacia a čítacia jednotka (TCU). Na vývoj týchto obvodov bola použitá 5 $\mu$  CMOS

technológia prevádzkovaná v Tesle Piešťany, kde boli tieto obvody aj vyrobené. Testovanie základných parametrov uvedenej technológie bolo realizované tiež v Tesle Piešťany, ale funkčnosť obvodov (nezapuzdrených aj zapuzdrených) sa testovala na ÚTK SAV.

## **1. ODDELENIE TESTOVANIA MIKROELEKTRONICKÝCH ŠTRUKTÚR**

V januári 1983 bolo zriadené nové oddelenie na ÚTK SAV s kolektívom piatich ľudí (vedúca oddelenia RNDr. Elena Gramatová), ktorí štartovali svoju prácu na testovaní digitálnych IO vlastne na „zelenej lúke“ a z poznatkov testovania v sedemdesiatych rokoch na ÚTK SAV. Oddelenie nedisponovalo žiadnym testovacím zariadením a ani programovými prostriedkami na prípravu testov. Úloha otestovať štyri IO: CLU, UCSU, TCU, UIOU si žiadala vývoj vlastných prostriedkov. Informácie sa získavali od pracovníkov z Tesly Piešťany a Tesly Rožňov, kde mali vybavenie na komerčné testovanie digitálnych obvodov s maximálnym počtom vývodov 40 integrovaných na kremíkovej doske a zapuzdrených IO.

Prvý krok oddelenia preto bol návrh a realizácia jednoduchého osem-bitového testera, s názvom OSMITEST (autor bol Ing. Stanislav Mazák). Testovali sa len zapuzdrené obvody. Testy boli pripravované ručne na základe funkcie obvodov, čo však pri ich veľkosti a zložitosti nebolo dostačujúce. V neskorších rokoch sa navrhli metódy generovania testov a vyvinuli nové softvérové prostriedky na automatické generovanie testov a poruchovej simulácie aspoň pre kombinačnú logiku. Pre obvody so sekvenčnou logikou a pamäte sa pripravovali ručne podľa funkcií daných obvodov alebo ich častí. Programové prostriedky na automatické generovanie testov boli realizované v jazyku C a prevádzkované na nových personálnych počítačoch PRAVEC (personálny počítač z Bulharska). Výsledky boli publikované aj na vedeckých seminároch a konferenciách, poriadaných v Československu, napríklad [1] – [3]. Postupne sa oddelenie vyvíjalo nielen odborne ale bolo aj doplnené technickým vybavením - nový počítač MICROVAX, kde už bolo možné prevádzkovať vyvinuté softvérové prostriedky na automatické generovanie testov pre rozsiahlejšie obvody. Vtedajšie Vedenie ÚTK SAV zainvestovalo aj do unikátneho testovacieho zariadenia z WENTFORTH LAB, Inc., U.S.A. na testovanie nezapuzdrených a zapuzdrených digitálnych obvodov. Zariadenia tohto laboratória sú opísané v nasledujúcej časti.

### **1.1 Unikátne laboratórium na testovanie digitálnych obvodov**

V rokoch 1985-1986 bol zakúpený verifikačný tester LOGIC MASTER II s prídavnými zariadeniami, riadený personálnym počítačom. Testovacie laboratórium zriadené v čistých priestoroch na ÚTK SAV je dokumentované na obr.1. Tieto zariadenia umožňovali testovanie IO s počtom vývodov 128 (v tomto období v Tesle Piešťany a Tesle Rožňov boli zariadenia na testovanie digitálnych IO s počtom vývodov 40). Okrem samotného testera boli unikátne aj zariadenia uvedené na obr.2:

- Krokovací automat (wafer probe card) na testovanie nezapuzdrených obvodov (čipov na kremíkových doskách). Toto zariadenie bolo prevádzkované na špeciálnom stabilnom stole (na obr.2 vľavo). Krokovací automat bol prepojený s testerom a riadený počítačom.
- Zariadenie na nastavovanie hrotových kariet pre nezapuzdrené obvody (na obr.2 vpravo).
- Prídavné zariadenia potrebné na testovanie čipov na kremíkovej doske (TV, osciloskop a pod.).



OBR. 1 TECHNICKÉ VYBAVENIE LABORATÓRIA TESTOVANIA NA ÚTK SAV



OBR. 2 KROKOVACÍ AUTOMAT A ZARIADENIE NA NASTAVOVANIE HROTOVÝCH KARIET

Boli to unikátne technické i softvérové zariadenia a takéto testovacie laboratórium pre digitálne IO bolo jediné v celom Československu, a to nielen v akademickej ale aj industriálnej sfére. Televízor bol pripojený dodatočne ako vizualizačné zariadenie. Bolo potrebné zriadiť čisté priestory pre prevádzku takéhoto laboratória.

V roku 1986 sa oddelenie rozdelilo na dve časti, na Oddelenie testovania, ktoré viedol Ing. Milan Duda a Oddelenie testovania mikroelektronických štruktúr, ktoré naďalej viedla RNDr. Elena Gramatová, CSc., ale so zmenenou náplňou. Nové ciele boli zamerané na výskum a vývoj metód ako aj nových softvérových prostriedkov na automatické generovanie testov, poruchovú simuláciu a diagnostiku porúch pre digitálne obvody a systémy.

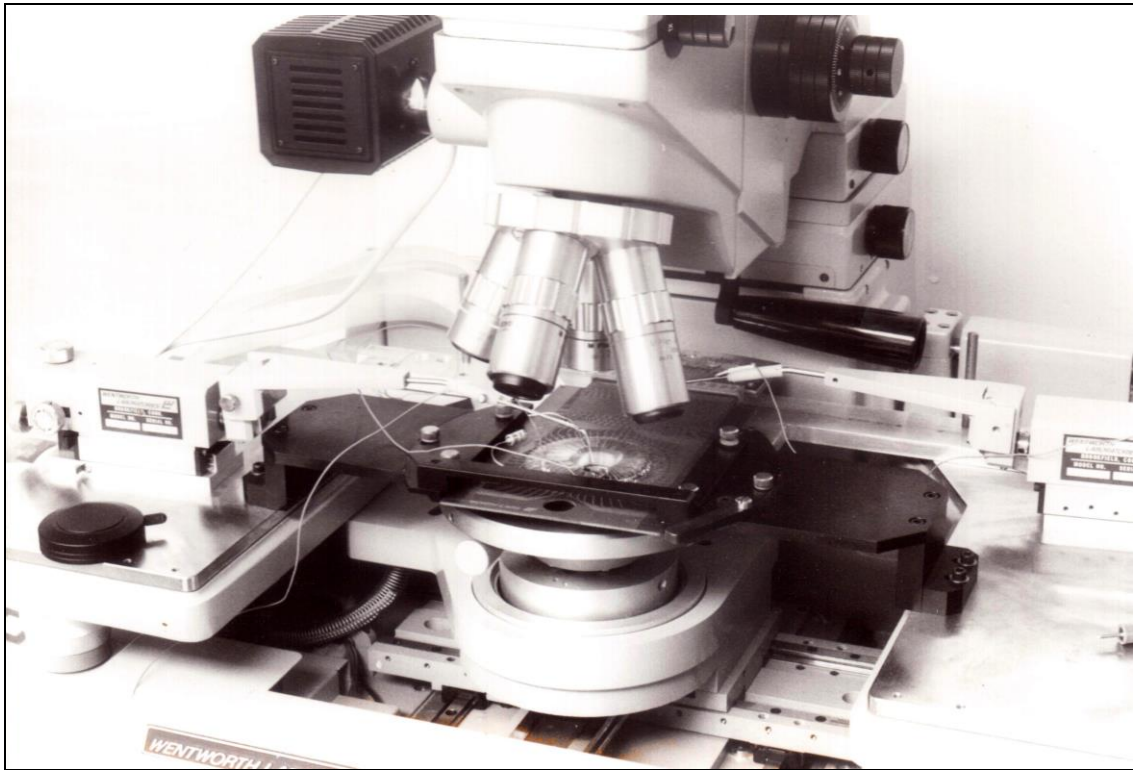
## 1.2 Testovanie digitálnych obvodov v Oddelení testovania

Novo-zriadené oddelenie testovania bolo určené na technicko-vývojové práce v laboratóriu testovania. Viacero odborníkov bolo prijatých na nastavovanie hrotových kariet, obsluhu testera LOGIC MASTER II a samotné testovanie. Obvody sa realizovali v Tesle Piešťany a testovali sa na ÚTK SAV. Testy sa aplikovali na čipy kremíkovej dosky pomocou krokovacieho automatu, pripojeného k testeru a riadeného personálnym počítačom. Pre každý prototyp kremíkovej dosky bolo potrebné pripraviť hrotovú kartu, hroty ktorej sa nastavovali na zariadení uvedeného na obr. 3. Detailnejší záber na krokový automat s funkčnou hrotovou kartou pre konkrétny digitálny obvod je na obr. 4. Pri testovaní bolo možné sa dostať vonkajšou sondou aj do vnútra jednotlivého čipu pre prípadnú kontrolu hodnôt vo vybranom mieste.



OBR. 3 ZARIADENIE NA PRÍPRAVU DOSKY S NASTAVENÝMI HROTMÍ PRE KROKOVACÍ AUTOMAT

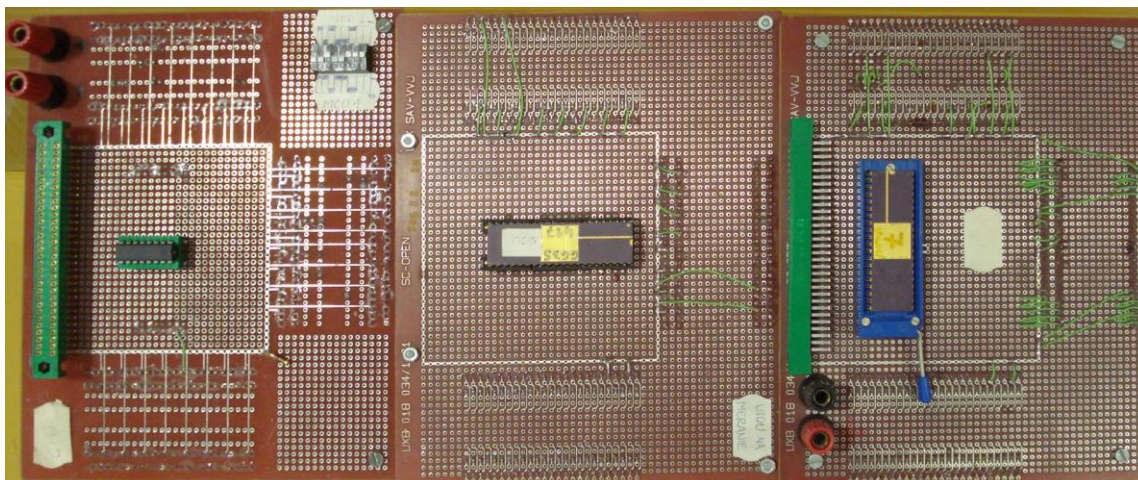




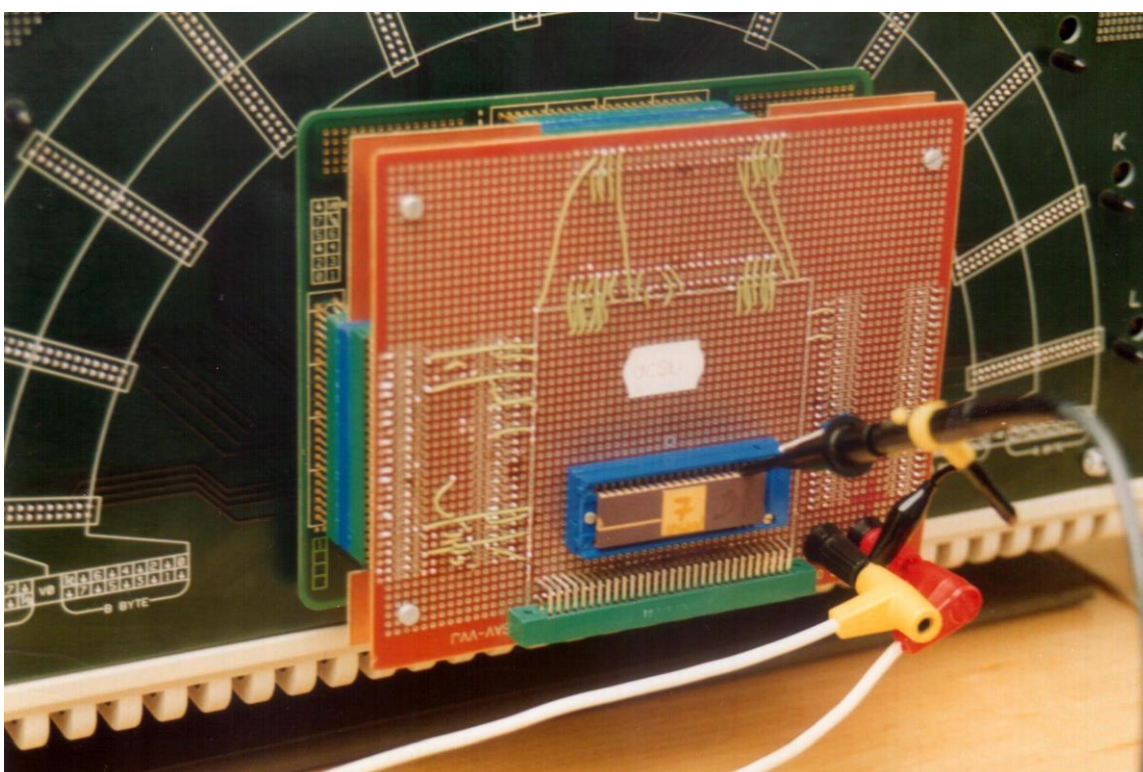
OBR. 4 KROKOVACÍ AUTOMAT

Pri testovaní na krokovacom automate sa automaticky označovali červenou farbou chybné čipy. Potom dobré čipy boli vybrané z kremíkových dosiek a zapúzdzrené opäť v Tesle Piešťany. Tieto zapuzdzrené obvody sa opäť testovali na ÚTK SAV podrobnejšími testami, pripravenými Oddelením mikroelektronických štruktúr. Navrhnuté metódy a vyvinuté programové prostriedky pre generovanie testov boli aj publikované v rámci konferencií v Československu napríklad [1] – [3]. Testovanie prebiehalo jednak na prototypoch ale aj sériovou výrobou jednotlivých čipov, ktoré boli základom riadiaceho systému MIDAS. Neskôršie boli zakúpené aj pece na testovanie týchto obvodov pri extrémnejších teplotách, kde sa IO zahrievali vo vyššej teplote (cca 80 stupňov Celzia) a potom sa opäť testovali.

Na testovanie jednotlivých zapuzdzrených IO bolo potrebné pripraviť technické prostriedky, ako samotnú dosku s obvodom. Na obr. 5 sú uvedené tri dosky plošných spojov s vyhadzovacími soklami na umiestnenie testovaného obvodu. Tieto dosky boli pripravené na testovanie zapuzdzrených IO – CLU (vľavo), UIOU (vpravo) testerom LOGIC MASTER II. Jednotlivá doska potom bola prepojená na panel testera LOGIC MASTER II, ako je vidieť jednu z nich na obr. 6.



OBR. 5 DOSKY SO SOKLAMI PRE JEDNOTLIVÉ IO, POTREBNÉ K TESTERU



OBR. 6 PRIPOJENIE DOSKY SO ZAPÚZDRENÝM OBVODOM NA TESTER LOGIC MASTER II

Tester LOGIC MASTER II dokázal v tom čase testovať IO s počtom vývodov maximálne 128. Avšak najväčší obvod, ktorý sa tu testoval bol ekvivalent 32 bitového RISC mikroprocesora ACORN s počtom vývodov 84, čo bolo už na hrane presnosti ručného nastavenia hrotov na testovacej karte prostredníctvom zariadenia na nastavenie hrotov. Tento obvod bol realizovaný tiež v Tesle Piešťany, v tom čase už novou technológiou hradlových polí GAC3000D, vyvinutej na ÚTK SAV. Táto technológia a testovanie takéhoto obvodu sú uvedené aj v publikácii [4]. V tomto laboratóriu sa testovali stovky kremíkových dosiek hore uvedených IO, ktoré neboli už

prototypmi, ale boli určené na konštrukciu systémov MIDAS, systémy reálne distribuované do prevádzky v priemysle. Posledný obvod, ktorý sa mal testovať bol obvod určený na testovacie zariadenie vyvíjané v Banskej Bystrici, ale to už nastal rok 1990, kedy sa v dôsledku zrušenia západného embarga postupne sa strácal záujem o novo-navrhnuté IO. Pôvodné IO sa ešte vyvíjali a testovali nejaký čas, ale postupne vývoj a návrh nových zákaznických obvodov zanikal a tým Oddelenie testovania stratilo svoj program. Opäť sa obe oddelenia spojili do jedného, samozrejme s menším počtom pracovníkov, ktoré si hľadalo si novú výskumnú náplň. Počas tohto obdobia až do roku 1989 sa riešili štátne úlohy základného výskumu, na ktorých participovali riešitelia z oboch oddelení (zoznam štátnych úloh je uvedený na konci článku).

## **2. VÝSKUM A VÝVOJ METÓD A PROGRAMOVÝCH PROSTRIEDKOV PRE GENEROVANIE TESTOV**

Oddelenie s pôvodným názvom Oddelenie mikroelektronických štruktúr existovalo naďalej a zameralo sa hlavne na výskum a vývoj nových metód a realizáciu softvérov na automatické generovanie testov pre zložité digitálne obvody. Po roku 1990 sa oddelenie zapojilo do riešenia výskumných projektov cez vedecké agentúry pre projekty ako aj do medzinárodných programov Európskej komisie. Projekty boli zamerané na metódy generovania testov a poruchovej simulácie ako aj diagnostiku porúch na rôznych úrovniach (štruktúrnej i funkčnej). Z týchto projektov vzniklo veľa publikácií, ako napríklad [5] – [16]. V roku 1995 oddelenie zorganizovalo aj medzinárodnú konferenciu (v rámci Európskej kooperácie) zameranú na návrh mikroelektronických štruktúr v mieste Kongresového centra SAV v Smoleniciach. Táto konferencia bola finančne podporovaná Európskou komisiou v rámci ktorej sa poskytlo 30 finančných grantov účastníkom zo strednej a východnej Európy. Ďalej oddelenie participovalo na organizovaní medzinárodného sympózia IEEE DDECS (Design and Diagnostics of Electronic Circuits and Systems) – v roku 2000 v Smoleniciach, 2004 v Kongresovom centre Akademia v Starej Lesnej a 2008 v Bratislave, ktoré sa každoročne organizuje v Európe aj v súčasnosti. Oddelenie existuje doposiaľ s náplňou i názvom, ktoré sú v trende so súčasným smerovaním výskumu v oblasti testovania, spoľahlivosti a bezpečnosti informačných technológií.

## **3. VYUŽITIE LABORATÓRIA TESTOVANIA PO ROKU 1989**

Laboratórium testovania sa sprístupnilo na pedagogické účely, a to na FEI STU v Bratislave, kde sa na Katedre počítačov od roku 1990 vyučoval predmet Testovanie číslicových obvodov ako nadstavbový predmet základného predmetu Diagnostika a spoľahlivosť číslicových systémov. Prvý z nich založila RNDr. Elena Gramatová a druhý prevzala po jeho zakladateľoch (doc. Jozef Hlavatý, CSc. a prof. Ján Hlavička z ČVUT Praha). Testovanie a spoľahlivosť digitálnych obvodov a systémov bolo zamerané na výskum a pedagogiku v bakalárskom, inžinierskom a doktorandskom štúdiu. Tieto predmety alebo ich témy sú v zozname predmetov aj v súčasnosti na Fakulte informatiky a informačných technológií STU (FIIT STU).

## **4. ZÁVER**

Testovanie a spoľahlivosť digitálnych integrovaných obvodov je vždy neoddeliteľnou súčasťou kvalitného návrhu a ich nasadenia v rôznych technických sférach. ÚTK SAV ako aj FIIT STU sa venovala tejto problematike ako po vývojovej, výskumnej tak aj edukačnej a konferenčnej činnosti. Po roku 1990 oddelenie spolupracovalo s viacerými univerzitami a technologickými



inštitúciami v Európe. Informačné technológie napredujú veľmi rýchlo, obvody su stále zložitejšie a menšie, teda je potreba odborníkov na riešenie ich spoľahlivosti, životnosti a v neposlednom rade aj bezpečnosti. Preto výskum, edukácia v tomto smere je veľmi dôležitá i v súčasnosti hoci možno s inými nástrojmi, metódami a pokročilými technickými prostriedkami. Základ, ktorý tu vytvorili ÚTK SAV a FIIT STU počas tých predchádzajúcich rokov môže mať tiež vplyv na ďalší rozvoj testovateľnosti a spoľahlivosti integrovaných obvodov.

doc. RNDr. Elena Gramatová, CSc.

Ústav informatiky SAV (do roku 2010)

Fakulta informatiky a informačných technológií STU v Bratislave (do roku 2017)

## LITERATÚRA

1. GRAMATOVÁ, Elena. Metódy generovania testov pre integrované obvody. Zborník z konferencie Testovacia technika '86, Banská Bystrica, 1986.
2. GRAMATOVÁ, Elena - FERKOV, Andrej - FISCHEROVÁ, Mária. Algoritmus FAN. Zborník z konferencie Mikrosystém '88, Bratislava, 1988, str. 108-109.
3. GRAMATOVÁ, Elena - BUČKO, Ladislav - FISCHEROVÁ, Mária. Systém automatického generovania testov. Zborník prednášok Diagnostika mikroprocesorov IX, Praha, ČSVTS-FEL-ČVUT, 60/586/88, 1988, str. 121-126.
4. GRAMATOVÁ, Elena - DUDA, Milan. Hradlové pole GAC 3000D a generovanie testov modifikovaným algoritmom. Zborník prednášok Diagnostika mikroprocesorov VII, Praha, 1986, ČSVTS-FEL-ČVUT, 60/569/86, str. 58-61.
5. MAGDOLEN, Andrej - BEZÁKOVÁ, Jana - GRAMATOVÁ, Elena - FISCHEROVÁ, Mária: REGGEN - Test Pattern Generation on Register Transfer Level. In: Proceedings of EURO-DAC'93 with EURO-VHDL'93, Hamburg, Germany, 1993, Los Alamitos, California The Institute of Electrical and Electronics Engineers, pp. 259-264.
6. GRAMATOVÁ, Elena - BEZÁKOVÁ, Jana - FISCHEROVÁ, Mária. BX-TPG Algorithm at the Behavioural Level Implemented under LEDA VHDL System. In: Proceedings of IEEE European Test Workshop, Italy, 1997, 2 p.
7. CIBÁKOVÁ, Tatiana - FISCHEROVÁ, Mária - GRAMATOVÁ, Elena - KUZMICZ, Wieslaw. - PLESKACZ, Witold - RAIK, Jaan. - UBAR, Raimund. Hierarchical test generation for combinational circuits with real defects coverage. In: Microelectronics Reliability, 2002, no. 42, pp. 1141-1149, ISSN 0026-2714.
8. SCHNEIDER, Andreas - IVASK, E. - MIKLOŠ, P. - RAIK, J. - DIENER, K.-H. - UBAR, R. - CIBÁKOVÁ, Tatiana - GRAMATOVÁ, Elena. Internet-based collaborative test generation with MOSCITO. In: 2002 Design, Automation and Test in Europe Conference and Exhibition. Proceedings. - Los Alamitos, California : The Institute of Electrical and Electronics Engineers, Inc., 2002, pp. 221-226. ISBN 0-7695-1471-5. ISSN 1530-1591.
9. PIKULA, Tomáš - GRAMATOVÁ, Elena - FISCHEROVÁ, Mária. Deterministic test generation for digital circuits by cellular automata in a Java applet. In: Proceedings of the IEEE region 8 EUROCON 2003, pp. 40-43. ISBN 0-7803-7763-X.



10. BALÁŽ, Marcel - GRAMATOVÁ, Elena - FISCHEROVÁ, Mária. Automatic optimization of wrapper parallel interface constructions applied to digital cores. In: Proceedings of the IEEE region 8 EUROCON 2003, pp. 44-47. ISBN 0-7803-7763-X.
11. BALÁŽ, Marcel - GRAMATOVÁ, Elena - PIKULA, Tomáš - FISCHEROVÁ, Mária. eTool for teaching and application of digital system testability techniques. In: Proceedings of EUROCON 2005 - The International Conference on "Computer as a Tool", pp. 831-834. ISBN 1-4244-0050-3.
12. NOVÁK, Ondřej - GRAMATOVÁ, Elena - UBAR, Raimund. Handbook of testing electronic systems. Praha : České vysoké učení technické v Praze, 2005, 395 p. ISBN 80-01-03318-X.
13. GRAMATOVÁ, Elena. Test generation experiments for delay faults in digital circuits. In: Proceedings of the International conference on Electronic devices and systems (EDS'06 IMAPS CS) : Vysoké učení technické v Brně, 2006, pp. 74-78. ISBN 80-214-3246-2.
14. MÁNIK, Miroslav - GRAMATOVÁ, Elena. Diagnosis of faulty units in regular graphs under the PMC model. In: Proceedings of the 2009 IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems. Editor Michel Renovell, Hans Manhaeve, Jindra Drábková, Martin Rozkovec, Ondřej Novák, Zdeněk Plíva, Jiří Jeníček. - Piscataway, NJ : Institute of Electrical and Electronic Engineers, Inc., 2009, pp. 202-205. ISBN 978-1-4244-3339-1.
15. DOBAI, Roland - GRAMATOVÁ, Elena. A novel automatic test pattern generator for asynchronous sequential digital circuits. In: Microelectronics Journal, 2011, vol. 42, no. 3, pp. 501-508. (0.787 - IF2010, 2011 - Current Contents), ISSN 0026-2692.
16. KRIŠTOFÍK, Štefan - GRAMATOVÁ, Elena. Repair Analysis for Embedded Memories Using Block-Based Redundancy Architecture. In: Proceedings of the World Congress on Engineering (WCE 2012), Imperial College London, vol. II. - Hong Kong: International Association of Engineers, 2012, pp. 906-910. ISBN 978-988-19252-1-3.

#### ŠTÁTNE ÚLOHY, NÁRODNÉ A MEDZINÁRODNÉ PROJEKTY

- Cieľový projekt č. 606 Informačno – riadiace systémy robotiky (1981-1985)  
Garant cieľového projektu: doc.Ing. I. Plander, CSc. Hlavná úloha III-8-4 Rozpoznávání a diagnostika pro řízení a rozhodování. Koordinátor hlavnej úlohy: Ing. Z. Kotek, DrSc., Ústav teorie informace a automatizace ČSAV, Praha.  
Čiastková úloha III-8-4/06 Diagnostika mikroelettronických štruktúr  
Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚTK SAV.
- Hlavná úloha III-8-3 Paralelné a špecializované problémovo- orientované počítačové systémy. Koordinátor hlavnej úlohy: Ing. K. Richter, CSc., ÚTK SAV Bratislava.  
Čiastková úloha III-8-3/06: Nové mikroelettronické štruktúry a prostriedky ich tvorby a testovania. Zodpovedná riešiteľka: RNDr. Elena Gramatová, CSc., ÚTK SAV.
- Hlavná úloha ŠPTR č. A 07-561-830 Nová generácia výpočtových systémov (od. 1.1.1987)  
Koordinátor hlavnej úlohy: doc.Ing. I. Plander, DrSc., ÚTK SAV.  
Čiastková úloha A 07-561-830/02 Moduly technických a programových prostriedkov na báze SNK. Zodpovedný riešiteľ: Ing. Štefan Ložek.

Téma A 07-561-830/02-10 Diagnostika 32 bitového mikroprocesorového systému  
Zodpovedná riešiteľka: RNDr. Elena Gramatová, CSc.

- Téma A 07-561-830/RV03-3 Generovanie testov pre PLA. Zodpovedná riešiteľka: RNDr. Elena Gramatová, CSc.
- Algoritmy generovania testov pre diagnostiku zložitých číslicových systémov, GAV 999485/93, 1991-1993. Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚI SAV.
- Algoritmy diagnózy vysokej úrovne pre číslicové systémy, GAV 1195/95, 1994-1995.
- Progresívne algoritmy generovania testov pre diagnostiku číslicových štruktúr, VEGA 2/3041/96, 1996-1998. Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚI SAV.
- Moderné prístupy k návrhu integrovaných obvodov a systémov, VEGA 1/4294/97, 1997-1999. Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚI SAV.
- Generovanie testov na úrovni správaní sa a s orientáciou na reálne defekty, VEGA 2/6091/21, 1999-2001. Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚI SAV.
- Metódy a algoritmy optimálneho testovania digitálnych systémov na čipe, VEGA2/5123/25, 2005-2007. Zodpovedná riešiteľka: RNDr. E. Gramatová, CSc. ÚI SAV.
- Competence Centres of Control in Eastern European Countries), 1993-1995.
- COPERNICUS CP939624 FUTEG (Functional Test Generation and Diagnosis), 1994-1996.
- ESPRIT 6575 ASEPTec (Advanced Test Generation and Testable Design Methodology for Sequential Circuits), 1994-1995.
- COPERNICUS CP940391 UBISTA (Unified Built In Self -Test Approach For Full Defect Testing In Mixed Signal Analog – Digital – Mixed Devices), 1995-1998.
- COPERNICUS CP940536 BENEFIT (Concerted Action For Simulation of East-West Collaborations in the Areas of Microelectronics and Signal Processing), 1995-1997.
- INCO COPERNICUS CP977133 VILAB (Microelectronics Virtual Laboratory for Cooperation in Research and Knowledge Transfer), 1998-2001.
- 5RP IST-2000-30193 REASON (Research and Training Action for System On Chip Design), 2002-2005.

**Elena Gramatová (1948)** vyštudovala matematiku na Prírodovedeckej fakulte Univerzity Komenského v Bratislave, kde získala aj titul RNDr. v odbore numerická matematika. Doktorandské štúdium absolvovala na Ústave technickej kybernetiky SAV v Bratislave v odbore Technická kybernetika. Zahraničné študijné pobyty absolvovala vo Francúzsku v Montpellier (Laboratoire de Microelectronics) a Grenobli (Laboratoire TIMA). V roku 2006 sa habilitovala na docentku na Fakulte informatiky a informačných technológií. Oblasť výskumu: v prvých rokoch hybridné metódy riešenia diferenciálnych rovníc a od roku 1973 testovanie a spoľahlivosť digitálnych obvodov a systémov. Od 1989 pôsobila externe a od 2009 interne na Fakulte informatiky a informačných technológií STU (predtým Katedra počítačov Fakulty elektrotechniky a informatiky STU). Publikovala viac ako 100 vedeckých, technických a popularizačných článkov, na ktoré má viac ako 100 citácií vo vedeckých databázach. Viac ako 30 rokov pôsobila vo viacerých komitétach medzinárodných konferencií a viedla viacero národných i medzinárodných projektov. V rámci doktorandského štúdia vyškolovala 7 doktorandov v študijnom odbore Aplikovaná informatika. Za svoju prácu dostala medailu SAV pre podporu vedy a na medzinárodnej úrovni dve ocenenia od IEEE Computer Society - Meritorius Service Award a Golden Core member of IEEE Computer Society.